

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02125287 A

(43) Date of publication of application: 14 . 05 . 90

(51) Int. Cl. G09G 3/20  
G09G 3/28  
G09G 5/02  
H04N 5/66  
H04N 9/64

(21) Application number: 63277480

(22) Date of filing: 04 . 11 . 88

(71) Applicant: NIPPON HOSO KYOKAI <NHK>

(72) Inventor: KANEKO RYUICHI  
TAKANO YOSHIMICHI  
NAKAGAWA HITOSHI

(54) HALFTONE GRADATION DISPLAY SYSTEM FOR COLOR DISPLAY PANEL

(57) Abstract:

PURPOSE: To secure the number of gradations of all the primary colors without the need to increase an operation speed by converting data below the least significant digit bit generated in a primary color signal which causes a decrease in the number of gradations in multiplication processing for white balance setting to one-bit spatial modulation of alternate fields, and adding the result to data in a conventional bit range.

CONSTITUTION: The data  $2^{-1}$  below the least significant digit bit  $2^0$  generated in the primary color signal which is  $\leq 1/2$  in signal level as high as other

primary color signal as a result of white balance setting is converted to the spatial modulation of alternate fields of the least significant digit bit  $2^0$ , and when N is a positive integer, the result is added to N bits  $2^{N-1} - 2^0$ . Consequently, the gradations of all the primary colors can be represented correctly without increasing the number N of subfields for a halftone gradation display, so the number of gradations of all the primary colors can be secured by the easy method for the halftone gradation display which uses a matrix type color display memory panel having unbalance of  $\approx (2:1)$  in control quantity among the three primary colors required to display reference white without increasing the operation speed.

COPYRIGHT: (C)1990,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-125287

⑬ Int. Cl. <sup>3</sup>	識別記号	庁内整理番号	⑭ 公開 平成2年(1990)5月14日
G 09 G 3/20	N	6376-5C	
3/28	K	6376-5C	
5/02		8121-5C	
H 04 N 5/66	A	7605-5C	
9/64	A	7033-5C	

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 カラー表示パネルの中間調表示方式

⑯ 特 願 昭63-277480

⑰ 出 願 昭63(1988)11月4日

⑱ 発 明 者 金 子 隆 一 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術研究所内

⑲ 発 明 者 高 野 善 道 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術研究所内

⑳ 発 明 者 中 川 仁 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術研究所内

㉑ 出 願 人 日 本 放 送 協 会 東京都渋谷区神南2丁目2番1号

㉒ 代 理 人 弁 理 士 杉 村 暁 秀 外1名

明 細 書

1. 発明の名称 カラー表示パネルの中間調表示方式

2. 特許請求の範囲

1. メモリ機能を有する、または駆動法によりメモリ機能を付与したマトリクス型カラー表示パネルの中間調表示方式において、白バランス設定で信号レベルが他の原色信号の $\frac{1}{2}$ 以下になる原色信号に生ずる最下位ビット $2^0$ 未満のデータ $2^{-1}$ を、最下位ビット $2^0$ によるフィールド交互の空間変調に変換して、Nを正の整数としたとき $2^{N-1}$ から $2^0$ のNビットデータに加算することにより、中間調表示のためのサブフィールド数Nを増加することなく、全ての原色の階調を正しく再現できるようにしたことを特徴とするカラー表示パネルの中間調表示方式。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はマトリクス型カラー表示装置の中間

調表示方式の改善に関するものである。

(発明の概要)

この発明は、メモリ機能を有する、または駆動法などによりメモリ機能を付与したマトリクス型カラー表示パネルの中間調表示方式に関するもので、

白色表示のための駆動条件が等刺激から大きく(2:1以上)ずれる場合に、白バランス設定のための乗算処理のうち階調数低下を伴う原色信号に生じる最下位ビット未満のデータを、最下位ビットによるフィールド交互の1ビット空間変調に変換して従来のビット範囲のデータに加算することにより、利得を低下させなければならない原色信号の階調数低下を防止し、大型化で厳しくなる表示パネルの動作速度の高速化を必要とせず、全原色の階調数を確保できるようにしたものである。

(従来の技術)

中間調表示の典型的な例としてテレビジョン表示をとりあげ、メモリパネルを用いたテレビジョン表示装置の従来技術による系統略ブロック線図

を第4図に示す。表示パネルの駆動自体をラインインターレースで行うか否かは本発明の本質とはあまり関係がないので、順次走査信号(ノンインターレース信号)がテレビジョン表示装置へ入力され、表示パネルの駆動も順次走査で行うものとして説明する。

表示装置の入力は第4図で示したように、アナログのR(赤)、G(緑)、B(青)信号とすると、まずADコンバータADCでベデスタルレベルのクランプおよびAD変換を行い、例えば8ビットのR、G、B並列PCM信号を得る。AD変換特性は、R、G、Bとも、例えば黒レベルで0、白レベルで255のように基準化されている。次に、マルチプレクサMPXによってR、G、B信号より1色ずつを選択し、表示パネル上の色ドット配列に忠実に従う配列とした1系統の信号を得る。CRTの電光変換特性(ガンマ特性)に相当する特性をもたせるためにガンマ補正回路GMでガンマ補正を行った後、白バランスの設定を白バランス設定器WBで行う。

即ち、白色の表示に最大の制御量が必要な色信号のゲインを1として、その他の色信号のゲインを必要量低下させる。第4図の白バランス設定回路WBにてこの調整を行う。

以上の処理を信号処理の前段と称する。これらは必ずしも第4図示ブロックの順序である必要はないが、非線形処理は信号レベルが基準化されたところで行い、色信号間にレベル差をつけるような処理は最後に行うことが望ましい。

前段の処理を終えた信号は、フィールドメモリFM1、FM2によってパネル駆動回路に適合するように信号形式が変換される。フィールドメモリFM1、FM2はそれぞれ1画面分の容量を持ち、フィールド毎に書き込み、読み出しを交互にくり返すものとする。

フィールドメモリFMの出力はシフトレジスタSRに送られ、シフトレジスタSRでシーバラ(直列-並列)変換した後ラッチ回路Lに転送されるが、フィールドメモリFMとシフトレジスタSR間のデータ転送は相当な高速が要求されるの

電圧、電流、パルス幅、パルス周期、パルス個数等、表示パネルの駆動に直接係わる量をここでは駆動量と称し、特に中間調表示のために制御する駆動量を仮に制御量と称することにする。白色を表示するために必要な制御量は一般にR、G、B信号間で異なるので、前述のようにゲインが基準化されたステージ(回路段)でのR、G、B各信号が最大値の時に白色になるように駆動量を調節する。

一般的には白バランス設定のための駆動量の調節は必ずしも制御量である必要はないが、列電極上に異なる色のセルが混在している場合は駆動回路が複雑になるので好ましくない、また色毎のアジバランスが大きな場合にはメモリアージンに影響してくるので望ましくない場合もある。特に大型パネルでは一様性を確保することが重要なので、一様性を減ずるような手段は避けることが必要である。

従って、本発明では制御量の最大値を制限することによって白バランスを得る方法を対象とする。

で、パネルの32列、64列など適当な列数で列電極駆動回路RDをブロックに分割し、ブロック内は直列、ブロック間は並列にデータ転送を行って実効的な転送速度の低減を行う構成になっている。

表示パネルDPは列電極を列電極駆動回路RD、行電極を行電極駆動回路CDで駆動される。表示すべきデータはラッチLに保持され、行電極駆動回路CDにより選択された1行の全セルに同時に書き込みが行われる。行電極駆動回路CDは順次、行を走査して行き、パネル全面に書き込みを行い全画面の書き込みを終了する。

次にこの種従来のメモリパネルの駆動法を第5図、第6図を用いて説明する。

第5図示波形はAC型パネルの1セルに与えられる典型的な駆動波形で、Pはパルス振幅、パルスWは書き込みパルス、パルスSは維持パルス、パルスEは消去パルス、Lは発光波形を示す。維持パルスSは単独では放電を起こせない振幅とするが、書き込みパルスWにより一旦放電が生じると以後の維持パルスS毎に放電を繰返し、消去

パルスEにより以後放電は停止する。従って、パルスWからパルスEまでの“ON”期間の長さを制御することにより所定の輝度を得ることが出来る。書き込みは前述の行の走査で、対象とする行が選択されている間に行う。具体的な波形は異なるが、書き込み、維持、消去の3動作によって輝度を制御する手段はD C型メモリパネルにも全く同様に適用することができる。

第6図はメモリパネルで中間調を表示する駆動法を示すタイムチャートである。縦軸はパネルの行 $k$  ( $1 \sim K$ )、横軸は時間 $t$ 、 $V$ は1フィールド期間を示す。斜線W、Eは第5図示の書き込みパルスW、Eを各行に亘って結んだ軌跡で、斜線WからEまでの期間 $S_i$  ( $i=0 \sim 3$ )が発光期間となる。 $U_i$  ( $i=0 \sim 3$ )はフィールド長 $V$ を $N$  (表示すべき中間調のビット数、図では4) 分割したものでサブフィールドと称し、1サブフィールドに1枚のビット面を表示する。発光期間の長さ $S_i$ をサブフィールド毎に $1/2$ に減じて行き、 $N$ 枚のサブフィールドで $N$ ビットの中間調を

再現する。図では4枚のサブフィールド ( $U_0 \sim U_3$ ) で4ビット、16レベルの中間調を表示する例を示した。これが詳細に関しては本願人になる特開昭62-196696号「放電表示パネルの駆動方法」を参照されたい。

(発明が解決しようとする問題点)

メモリパネルを用いた従来の中間調表示法において、基準白色を表示するための3原色の制御量に $2:1$ 以上のアンバランスがある場合、最小制御量でよい原色信号に対しては信号処理部で $1/2$ 以下のゲインに設定する必要が生じ、サブフィールド数を固定する限りこの原色の再現レベル数は半分に以下に低下してしまう。原色毎の輝度に大きなアンバランスが生ずる例として、放電セルの色配列が第7図のようになっている場合などがあげられる。駆動量一定でR、G、Bの3セルで白色が得られるとすれば、前記の色配列では信号処理回路における白バランス設定は、R、Bのゲイン $1$ 、Gのゲインが $1/2$ となり、再現可能な中間調レベル数はGだけ他の半分になる。この他、

3セルで1画素を構成する配列でも材料、構造、動作などによって原色間に大きなアンバランスがある場合もあり得る。

一方、サブフィールド数を増加させればこのような場合でも正しく中間調を再現できるが、大型パネルで中間調を表示するだけで書き込み速度の要求が厳しいので、出来るだけサブフィールド数は増加させないことが望ましい。

従って本発明の目的は上記のような白バランス設定で各1セルの原色信号間に $2:1$ 以上のアンバランスがある場合にもサブフィールド数を増加させることなく、実用上支障ない程度の中間調を再現できる方法を提供せんとするものである。

(問題点を解決するための手段)

この目的を達成するため本発明カラー表示パネルの中間調表示方式は、メモリ機能を有する、または駆動法によりメモリ機能を付与したマトリクス型カラー表示パネルの中間調表示方式において、白バランス設定で信号レベルが他の原色信号の $1/2$ 以下になる原色信号に生ずる最下位ビット $2^0$ 未

満のデータ $2^{-1}$ を、最下位ビット $2^0$ によるフィールド交互の空間変調に変換して、 $N$ を正の整数としたとき $2^{-1}$ から $2^0$ の $N$ ビットデータに加算することにより、中間調表示のためのサブフィールド数 $N$ を増加することなく、全ての原色の階調を正しく再現できるようにしたことを特徴とするものである。

(実施例)

以下添付図面を参照し実施例により本発明を詳細に説明する。

第1図に本発明に係る実施例表示パネルの各色セルのLSB (最下位ビット) 表示パターンを示す。表示パネルの色ドット配列が第7図のようになっている場合で、かつG信号のゲインを $1/2$ 以下に低下させる必要がある場合を例にとって説明する。

第1図で、記号○、×、◎はそれぞれ表示パネルのセル位置を示し、○印は第7図のGセルの内発光を許されているもの、×印はGセルの内発光を禁止されているもの、◎印は他の色(R、B)

のセル位置を示す。

第1図(a)は従来の表示方式および本発明の表示方式の所定の全ビットによる発光パターンで、全セルが発光し得る。第1図(b), (c)はそれぞれ本発明を適用した場合の第1フィールド、第2フィールドにおいて、従来の発光パターン(a)に重畳すべきLSB(最下位ビット)発光パターンを示す。これによってレベル $1/2$ の表示を可能とする。

第4図示白バランス設定回路WBで白バランス調整を行うには信号レベルと所要ゲインとの乗算を行う必要がある。本実施例では、G信号のゲインを $1/2$ 以下に設定する結果、通常の信号のビット数を例えば $2^7 \sim 2^8$ の8ビットとすると、G信号に対しても8ビットを確保するには $2^8 \sim 2^{-1}$ の8ビットを用いなければならない。本発明ではフィールドメモリ以降のビット数を増加させないことを前提にしているので、G信号の $2^{-1}$ のビットを $2^7 \sim 2^8$ の範囲で再現する。

第1図の実施例では、Gセルをパネル面上で出

来るだけ均等に2グループに分ける。第1図(b), (c)は上記G信号の $2^{-1}$ のデータのみを、上記2グループの内の1グループずつフィールド毎に交互に、通常のLSB( $2^0$ )のサブフィールドによって表示する仮想的な表示パターンを示す。2グループのGセルで交互に表示を繰り返すので、実効的にはLSB(最下位ビット)の $1/2$ の輝度で表示される。本発明では、通常の8ビットで表示されるパターン(a)に、 $2^{-1}$ の表示パターン(b), (c)をLSB( $2^0$ )のデータとして重畳することにより白バランス設定による桁落ち成分を救済するものである。この方法によれば静止画では解像度の劣化は生じない。しかし動画では原理的には若干解像度が低下することになるが、劣化するのはLSB成分だけなので実質的には殆ど支障を生じることはない。以上の説明では第7図の色配列と、Gセルのゲイン低減が必要な場合を例示したが、他の色がアンバランスな場合でも当然適用可能であり、また、本発明を2色に対して同時に適用することも出来る。

第2図は、第1図示の表示を実現するための信号処理回路の1構成例を示し、第4図示白バランス設定回路WBを置き換えるべき回路として示した。第2図で、PX1は第4図示白バランス設定回路WBの入力に相当する入力データ、PX5は同じく白バランス設定回路WBの出力に相当する出力データ、MULは2データA、Bの乗算回路、ADは2データA、Bの加算回路、Ga、Gb、Gcは原色信号毎のゲインとしての定数発生回路、r、g、bは原色信号のサンプル毎の色を示す補助信号、DSは本発明により補正を行う色信号を指定する信号cを得るORゲートで、図では第1図の実施例に従い $c=g$ の場合を示した。さらに、Lはパネルの行に相当する情報を持つ入力テレビジョン信号のライン情報、fは入力テレビジョン信号のフィールド情報、DPGは第1図(b), (c)のGセルの各配置ボタンに相当する信号DEを発生する論理回路、斜線に併記した数字は8ビットを標準とした場合の各段におけるビット数である。

第2図で、Ga、Gb、Gcは例えば2進コード

スイッチでよく、r、g、b信号で選択されて、入力PX1のサンプル毎に所要ゲインを指定する多重信号“GAIN”となる。乗算回路MULは入力信号PX1とGAINを乗算して、上位P、下位Qの各8ビットデータを出力する。従って、上位出力P(=PX2)のみをとれば、これが第4図示従来の方式の白バランス設定回路WBの出力に相当する。第2図示の例では、乗算回路MULのQ出力の内、最上位ビットPX3のみを用いる。本発明の補正実行を指定する信号DEとANDをとったPX4Lが第1図(b), (c)のGセルの表示データとなるので、本来のビット範囲に収まる表示データPX2に加算することによって補正を行った表示データPX5が得られる。加算の際、加算器ADのB入力のLSB以外の入力ビットPX4-Uは当然数値0にしておく。乗算回路MULから信号PX3を得る場合、単純に出力QのMSB( $2^{-1}$ )1ビットをとり出してもよいが、周知の方法により次位ビットに1を加えて丸めを行う方が望ましい。

第3図(c)は第2図の論理回路DPGの具体構成例を示す。第3図(a)は、第7図の色配列に対する補助信号 $l$ 、 $r$ 、 $g$ 、 $b$ の波形例である。 $l$ はパネルの色配列の異なる行に相当するラインを識別できればよいので、第7図より明らかなように奇数ラインまたは偶数ラインを表示する信号を用いる。また、 $r$ 、 $g$ 、 $b$ は偶数ライン、奇数ラインに従ってサンプル毎に信号の色を指定している。第3図(b)は、第2図のDE信号として必要な波形を示す。即ち、第1図の○印に対応する信号である。第3図(a)の各信号を入力として第3図(b)の信号を得るには第3図(c)の回路を用いればよい。

(発明の効果)

以上詳細に説明してきたように本発明方式によれば、基準白色を表示するために必要な3原色の制御量に2:1以上のアンバランスがあるマトリクス型カラー表示メモリパネルを用いた中間調表示において、動作速度の増加を伴うことなく全原色の階調数を簡単な方法によって確保することが

出来る。

#### 4. 図面の簡単な説明

第1図は本発明に係る表示パネル各色セルLSBの表示パターン例を示し、

第2図は第1図示実施例を実現するための信号処理回路の構成例を示し、

第3図は第2図示論理回路の具体例を示す回路図を示し、

第4図はメモリ機能を有する表示パネルを用いた、従来技術によるテレビジョン表示装置の系統図を示し、

第5図はAC型放電ディスプレイパネルの動作を説明するための波形図を示し、

第6図はメモリパネルによる中間調表示法を説明するためのタイムチャートを示し、

第7図は本発明の実施例を適用する対象として設定した表示パネルの3原色セル配置の1例を示す。

ADC…ADコンバータ

MPX…マルチプレクサ

GM…ガンマ補正回路

WB…白バランス設定回路

FM…フィールドメモリ

SR…シフトレジスタ L…ラッチ回路

CD…行電極駆動回路 RD…列電極駆動回路

DP…表示パネル W…書き込みパルス

S…維持パルス E…消去パルス

MUL…乗算回路 AD…加算回路

G<sub>1</sub>、G<sub>2</sub>、G<sub>3</sub>…定数発生回路

DS…ORゲート DPG…論理回路

特許出願人 日本放送協会

代理人弁理士 杉 村 暁 秀

代理人弁理士 杉 村 興 作

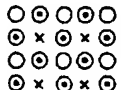
### 第1図

本発明に係る表示パネル各色セル  
LSBの表示パターン

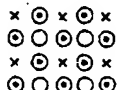
(a)



(b)

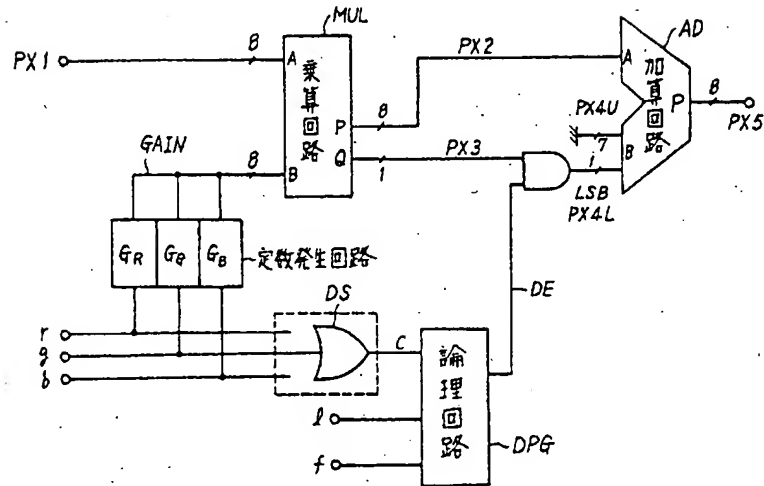


(c)



## 第2図

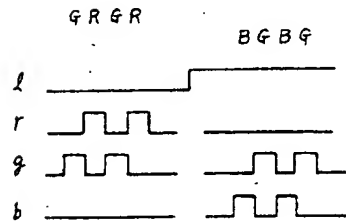
第1図示実施例用信号処理回路



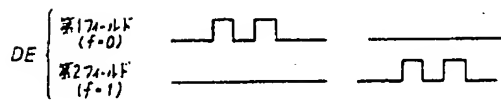
## 第3図

論理回路の具体例

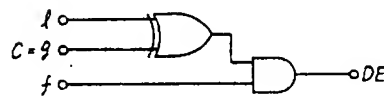
(a)



(b)

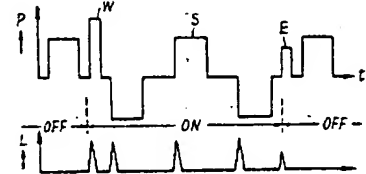


(c)



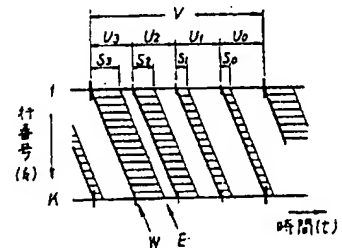
## 第5図

AC型放電管スライタル動作波形図



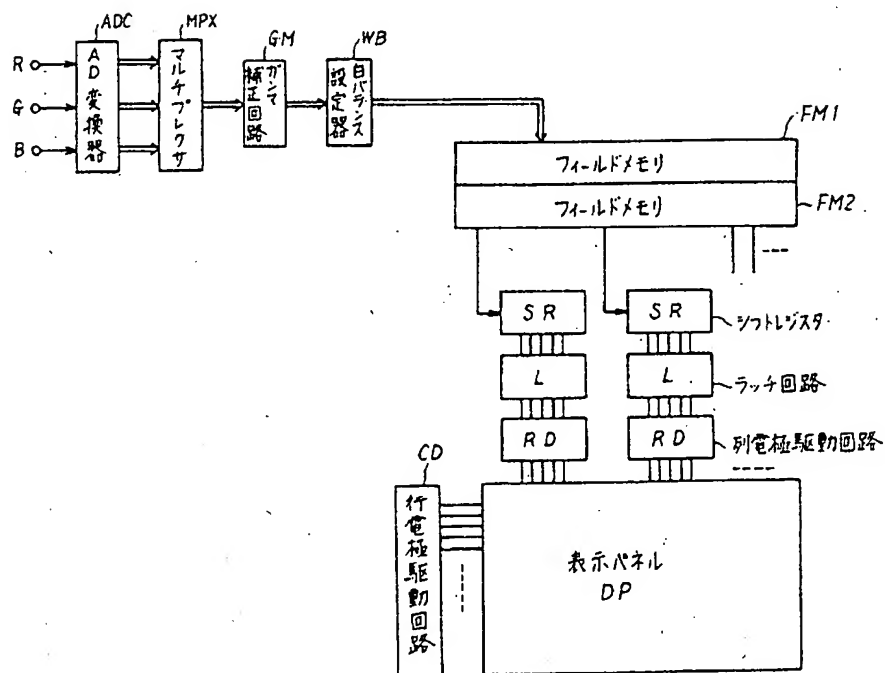
## 第6図

中間調表示波のタイムチャート



第4図

メモリ機能を有する表示パネルの系統図



第7図

3原色セル配置の1例

G	R	G	R
B	G	B	G
G	R	G	R
B	G	B	G



Translation of JP2-125287.A

SPECIFICATION

5 1. Title of the Invention Halftone Display Method for Color  
Display Panel

2. Scope of the Claims for Patent

1. In a halftone display method for use with a  
matrix-type color display panel which has a memory function or  
10 is provided with a memory function by a driving method, a color  
display panel halftone display method characterized in that,  
when the setting of white balance involves reducing the signal  
level of a primary color signal to  $1/2$  or less that of another  
primary color signal, data  $2^{-1}$  which occurs below the least  
15 significant bit  $2^0$  in that primary color signal is converted by  
field-alternate spatial modulation using the least significant  
bit  $2^0$  and then is added to N-bit data from  $2^{N-1}$  to  $2^0$ , N being  
a positive integer, whereby gray levels of all the primary colors  
can be correctly reproduced without increasing the number, N,  
20 of sub-fields for displaying halftones.

3. Detailed Description of the Invention

(Applicable Field in the Industry)

The present invention relates to improvement of a halftone  
display method for use with a matrix-type color display device.

25

(Summary of the Invention)

The present invention relates to a halftone display method for a matrix-type color display panel that has a memory function or is provided with a memory function by a driving method etc;

when driving conditions for displaying white color largely differ (2:1 or more) from equal stimulation and the multiplication process for setting the white balance causes a reduction of the number of gray levels of a primary color signal, the data occurring below the least significant bit in that primary color signal is converted by field-alternate 1-bit spatial modulation using the least significant bit and then is added to the data within the conventional bit range, thereby preventing the reduction in the number of gray levels of the primary color signal that involves gain reduction, and thus ensuring the number of gray levels of all primary colors without the need for an increase in the operating speed of the display panel, which is becoming difficult as the panel size increases.

(Prior Art)

Television display is now described as a typical example of the halftone display; Fig. 4 is a schematic block diagram showing a conventional system of a television display device that uses a memory panel. Since whether the display panel is driven by line interlace is not very closely related to the essence of the invention, it is assumed in the description below that a progressive scanning signal (a non-interlace signal) is inputted to the television display device and that the display panel is

driven also by progressive scanning.

As shown in Fig. 4, when analog R (Red), G (Green), B (Blue) signals are provided as input to the display device, the AD converter ADC first clamps the pedestal level and conducts AD conversion, so as to provide R, G, B parallel PCM signals of, e.g. 8 bits. The AD conversion characteristic for R, G, B is standardized, e.g. to be 0 at the black level and 255 at the white level. Next, the multiplexer MPX selects one color at a time from the R, G, B signals and provides one system of signal which precisely conforms with the color dot arrangement on the display panel. Then the gamma correction circuit GM performs gamma correction to provide characteristic corresponding to the electric-photo conversion characteristic (gamma characteristic) of the CRT, and then the white balance setting device WB sets the white balance.

Quantities which are directly related to the driving of the display panel, such as voltage, current, pulse width, pulse period, number of pulses, etc., are herein referred to as driving quantities, and in particular, driving quantities which are controlled for halftone display are temporarily referred to as control quantities. The control quantities for displaying white generally differ among the R, G and B signals; therefore the driving quantities are adjusted so that white is represented when the R, G, B signals are at their maximums in a stage (circuit stage) where the gains are standardized as mentioned before.

In general, the driving quantities adjusted to set the white balance do not necessarily have to be the control quantities; however, it may be not preferable if cells of different colors are mixed on the column electrode since the driving circuit must then be constructed in a complex manner, or it may be undesirable if the colors are considerably unbalanced since it affects the memory margin. Especially, for a large-sized panel, it is necessary to avoid such means as may reduce the uniformity since ensuring the uniformity is important.

Accordingly, the present invention is directed to a method for obtaining the white balance by limiting the maximum values of the control quantities. That is, the gain of the color signal that requires maximum control quantities to display white is taken as "1" and the gains of other color signals are lowered by required quantities. This adjustment is performed in the white balance setting circuit WB shown in Fig. 4

The processings shown above are referred to as a pre-stage of the signal processing. These are not necessarily performed in the order shown in the block diagram of Fig. 4; however it is desirable to perform nonlinear processing in a portion where the signal levels are standardized and to perform processing which provides level differences among color signals in the last portion.

The pre-processed signal is converted in field memories

FM1 and FM2 into a signal format that is adapted for the panel driving circuits. The field memories FM1 and FM 2 each have a capacity for one field and they are repeatedly written and read in a field-alternate manner.

5       Outputs from the field memories FM are sent to shift registers SR, where they are S-P (Serial-to-Parallel) converted, and then transferred to latch circuits L; since very high-speed data transfer is required between the field memories FM and the shift registers SR, the column electrode driving circuits RD are  
10   divided into blocks of an appropriate number of columns on the panel, e.g. 32 columns or 64 columns, and the data is transferred in series within the block and in parallel among the blocks, so as to reduce the effective transfer speed.

      In the display panel DP, the column electrodes are driven  
15   by the column electrode driving circuits RD and the row electrodes are driven by the row electrode driving circuit CD. Data to be displayed is held in the latches L and written simultaneously into all cells in the row selected by the row electrode driving circuit CD. The row electrode driving circuit  
20   CD sequentially scans the rows to write data in the entire panel and finishes the writing in the entire screen.

      Next, a conventional method for driving a memory panel of this type is described referring to Figs. 5 and 6.

      The waveforms shown in Fig. 5 are typical driving  
25   waveforms applied to one cell in an AC-type panel, where P shows

the pulse amplitude, the pulse W is a write pulse, the pulse S is a sustain pulse, the pulse E is an erase pulse, and L shows the light-emitting waveform. The sustain pulse S has such an amplitude as cannot cause discharge alone; however, once the write pulse W has caused discharge, then discharge is repeated with each sustain pulse S and is ended with the erase pulse E. Given luminance can thus be obtained by controlling the length of the "ON" period from the pulse W to the pulse E. The writing is conducted while the target row is being selected by the row scanning described before. The means for controlling the luminance with the three operations, write, sustain and erase, can be applied in exactly the same way to DC-type memory panels, though specific waveforms differ.

Fig. 6 is a time chart that shows a driving method for displaying halftones in a memory panel. The vertical axis shows the rows  $k$  (1 to  $K$ ) on the panel, the horizontal axis shows time  $t$ , and  $V$  shows one field period. The slanting lines W and E denote the locus connecting the write pulses W and E shown in Fig. 5 over the rows, where the period  $S_i$  ( $i=0-3$ ) between the slanting lines W and E forms the light-emitting period.  $U_i$  ( $i=0-3$ ) is defined by dividing the field length  $V$  into  $N$  (the number of bits of the halftone to be displayed, which is 4 in the diagram), which are called sub-fields; one sub-field displays one bit plane. The length  $S_i$  of the light-emitting period is reduced to  $1/2$  between adjacent sub-fields and  $N$  sub-fields reproduce an  $N$ -bit halftone.

The diagram shows an example in which four sub-fields ( $U_3-U_0$ ) display 4-bit, 16 level halftones. For the details, refer to Japanese Patent Application Laid-Open No. 62-196696, "Discharge Display Panel Driving Method," by the applicant of this invention.

(Problems to be Solved by the Invention)

In the conventional halftone display method using a memory panel, when there is an imbalance of 2:1 or more between the control quantities of three primary colors for displaying the reference white color, then the gain of the primary color signal that involves the minimum control quantities must be set to  $1/2$  or less in the signal processing portion; then the number of reproduced levels of this primary color is reduced to half or less, as long as the number of sub-fields is fixed. The color arrangement of discharge cells shown in Fig. 7 is an example in which the luminance is considerably unbalanced among the primary colors. In this color arrangement, when white is obtained with three cells of R, G, B with certain driving quantities, then the setting of white balance in the signal processing circuit provides a gain of 1 for R and B and a gain of  $1/2$  for G; the number of reproducible halftone levels for G is half as many as that of other colors. Also, even in an arrangement in which three cells constitute one pixel, a large imbalance may be caused among the primary colors depending on the material, structure, operation, etc.

While the halftone can be correctly reproduced even in such a case by increasing the number of sub-fields, it is desirable to avoid an increase in the number of sub-fields since the write speed requirement is so severe even in simply  
5 displaying halftones in a large-sized panel.

Therefore an object of the invention is to provide a method capable of reproducing halftones not suffering practical problems, without increasing the number of sub-fields, even when there is an imbalance of 2:1 or more among primary color signals  
10 in each cell during the setting of white balance as shown above.

(Means for Solving the Problems)

In order to achieve the object, in a halftone display method for a matrix-type color display panel which has a memory function or is provided with a memory function by a driving method,  
15 a color display panel halftone display method of this invention is characterized in that, when the setting of white balance involves reducing the signal level of a primary color signal to  $1/2$  or less that of another primary color signal, data  $2^{-1}$  which occurs below the least significant bit  $2^0$  in that primary color  
20 signal is converted by field-alternate spatial modulation using the least significant bit  $2^0$  and then is added to N-bit data from  $2^{N-1}$  to  $2^0$ , N being a positive integer, whereby gray levels of all the primary colors can be correctly reproduced without  
25 increasing the number, N, of sub-fields for displaying halftones.



(Embodiment)

The present invention is now described in detail according to an embodiment while referring to the accompanying drawings.

Fig. 1 shows LSB (Least Significant Bit) display patterns of color cells on a display panel according to an embodiment of the invention. An example is described in which the color dots on the display panel are arranged as shown in Fig. 7 and the gain of the G signal must be reduced to  $1/2$  or less.

In Fig. 1, the symbols  $\bigcirc$ ,  $\times$ ,  $\odot$  show the position of cells on the display panel, where  $\bigcirc$  shows G cells that are allowed to emit light,  $\times$  shows G cells that are inhibited from emitting light, and  $\odot$  shows the cell position of other colors (R, B).

Fig. 1(a) shows a light-emitting pattern with all of given bits in a conventional display method and the display method of the invention, where all cells can emit light. Fig. 1 (b) and (c) show LSB (Least Significant Bit) light-emitting patterns which, when the invention is applied, are superimposed on the conventional light-emitting pattern (a) in the first field and the second field, respectively. This enables display of level  $1/2$ .

The white balance adjustment in the white balance setting circuit WB of Fig. 4 requires multiplication of the signal level and required gain. In this embodiment, the gain of the G signal is set to  $1/2$  or less, so that, when the normal signal is of 8-bit including  $2^7$  to  $2^0$ , then ensuring eight bits for the G signal

requires to use the eight bits  $2^6$  to  $2^{-1}$ . Since it is supposed in the invention that the number of bits is not increased in and after the field memories, the bit  $2^{-1}$  of G signal is reproduced within the range of  $2^7$  to  $2^0$ .

5        In the embodiment shown in Fig. 1, G cells are divided into two groups on the panel as uniformly as possible. Fig. 1 (b) and (c) show imaginary display patterns in which only the data at  $2^{-1}$  in G signal is displayed in one of the two groups in alternate fields, using the sub-field for the normal LSB ( $2^0$ ).  
10       Since data is repeatedly displayed alternately between the two groups of G cells, it is actually displayed with luminance of  $1/2$  that of the LSB (Least Significant Bit). In this invention, the  $2^{-1}$  display patterns (b) and (c) are superimposed as LSB ( $2^0$ ) data on the pattern (a) displayed with normal 8 bits, so as to  
15       save the dropped digit component that is caused by the white balance setting. This method does not deteriorate the resolution in still pictures. However, according to the principle, the resolution is somewhat reduced in moving pictures, but it hardly causes practical problem since only the LSB component is  
20       deteriorated. The description above has shown an example in which the gain for G cells must be reduced with the color arrangement of Fig. 7, the invention, of course, can be applied also when other color involves an imbalance, and can also be applied simultaneously to two colors.

25       Fig. 2 shows an example of the configuration of a signal

processing circuit for realizing the display shown in Fig. 1, which is a circuit to be substituted for the white balance setting circuit WB shown in Fig. 4. In Fig. 2, PX1 denotes input data that corresponds to the input to the white balance setting circuit WB of Fig. 4, PX5 denotes output data that corresponds to the output from the white balance setting circuit WB, MUL denotes a multiplication circuit receiving two pieces of data A and B, AD denotes an addition circuit receiving two pieces of data A and B,  $G_R$ ,  $G_G$ ,  $G_B$  denote a constant generating circuit for outputting constants as the gains for the primary color signals, r, g and b denote auxiliary signals that indicate the colors of the samples of primary color signals, and DS denotes an OR gate that obtains a signal "c" indicating the color signal to be corrected according to the invention; the diagram shows an example where  $c=g$  according to the embodiment of Fig. 1. Further, l denotes line information of the input television signal that contains information corresponding to the row on the panel, f denotes field information of the input television signal, DPG denotes a logic circuit that generates a signal DE that corresponds to the G-cell arrangement patterns of Fig. 1(b) and (c), and the numbers with slashes denote the number of bits, on a 8-bit basis, in each stage.

In Fig. 2,  $G_R$ ,  $G_G$ ,  $G_B$  can be binary code switches, which are selected by the r, g, b signals to provide a multiple signal "GAIN" indicating required gains for each sample of the input

PX1. The multiplication circuit MUL multiplies the input signal PX1 and GAIN and outputs the high-order, P, and low-order, Q, 8-bit data. Accordingly, when only the high-order output P (=PX2) is taken, it corresponds to the output of the conventional white balance setting circuit WB shown in Fig. 4. In the example of Fig. 2, in the Q output of the multiplication circuit MUL, only the most significant bit PX3 is used. The output PX4L, which was ANDed with the signal DE indicating the execution of correction of the invention, corresponds to the G-cell display data shown in Fig. 1(b), (c); PX4L is thus added to the display data PX2 that falls within the original bit range to obtain the corrected display data PX5. In the addition, needless to say, in the B input to the adder AD, the input bits PX4U, other than the LSB, are set at zero. The signal PX3 may be obtained from the multiplication circuit MUL by simply extracting the MSB ( $2^{-1}$ ) bit from the Q output; however, preferably, 1 is added to the next-order bit and it is rounded by a known method.

Fig. 3(c) denotes a specific structure of the logic circuit DPG of Fig. 2. Fig. 3(a) shows an example of waveforms of the auxiliary signals l, r, g, b for the color arrangement of Fig. 7. Since the signal l is used to identify lines corresponding to different rows in the color arrangement on the panel, it can be a signal that indicates an odd line or an even line, as is clear from Fig. 7. The signals r, g, b indicate the colors of signals of samples in correspondence with the odd and

even lines. Fig. 3(b) shows waveforms that are required as the DE signal of Fig. 2. That is, it is the signal corresponding to the symbol ○ in Fig. 1. The signal shown in Fig. 3(b) can be obtained by using the signals in Fig. 3(a) as inputs by using  
5 the circuit of Fig. 3(c).

#### (Effects of the Invention)

According to the method of the invention that has been described in detail, in halftone display using a matrix-type color display memory panel in which there is an imbalance of 2:1  
10 or more among the three primary colors' control quantities that are required to display the reference white, it is possible to ensure by an easy method the number of gray levels of all primary colors without involving an increase in operating speed.

#### 4. Brief Description of the Drawings

15 Fig. 1 shows an example of LSB display patterns of color cells on a display panel according to the present invention;

Fig. 2 shows an example of the configuration of a signal processing circuit for realizing the embodiment of Fig. 1;

Fig. 3 is a circuit diagram showing a specific example  
20 of the logic circuit of Fig. 2;

Fig. 4 is a diagram showing the system of a conventional television display device that uses a display panel having memory function;

Fig. 5 is a waveform diagram used to explain operation  
25 of the AC-type discharge display panel;

Fig. 6 is a time chart used to explain a halftone display method with a memory panel; and


Fig. 7 shows an example of the arrangement of three primary color cells on a display panel to which the embodiment of the invention is applied.

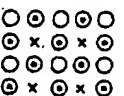
ADC ... AD converter  
 MPX ... multiplexer  
 GM ... gamma correction circuit  
 WB ... white balance setting circuit  
 10 FM ... field memory  
 SR ... shift register                      L ... latch circuit  
 CD ... row electrode driving circuit    RD ... column electrode driving circuit  
 DP ... display panel                      W ... write pulse  
 15 S ... sustain pulse                      E ... erase pulse  
 MUL ... multiplication circuit    AD ... addition circuit  
 G<sub>R</sub>, G<sub>G</sub>, G<sub>B</sub> ... constant generating circuit  
 DS ... OR gate                              DPG ... logic circuit

LSB DISPLAY PATTERNS OF  
COLD CELLS ON DISPLAY PANEL  
OF THE INVENTION

Fig. 1

本發明係為表示本發明之  
LSB 表示法

(a) 

(b) 

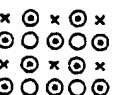
(c) 

Fig. 2 SIGNAL PROCESSING CIRCUIT FOR USE IN EMBODIMENT OF FIG. 1

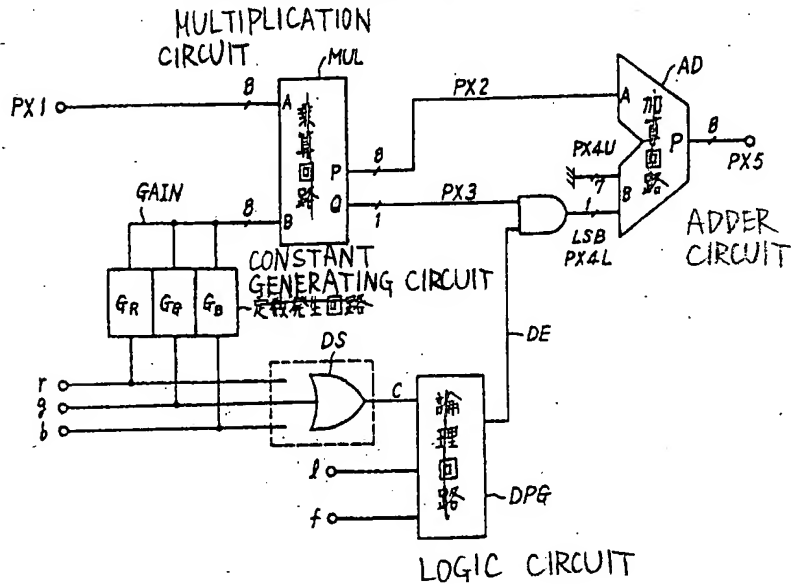
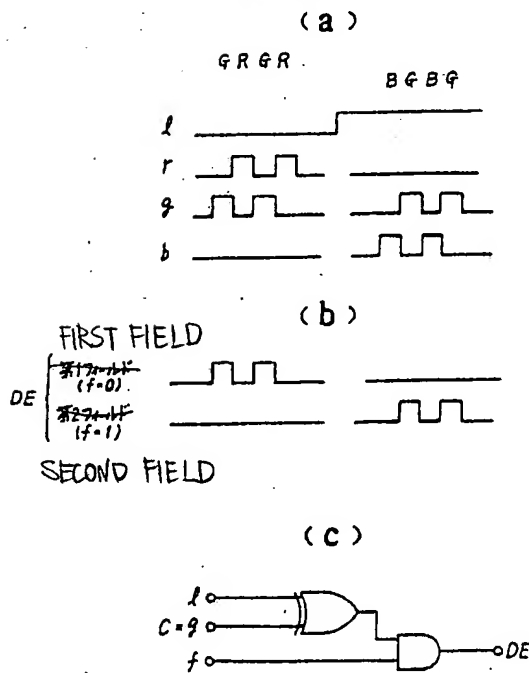


Fig. 3 SPECIFIC EXAMPLE OF LOGIC CIRCUIT



OPERATION WAVEFORM OF AC-TYPE DISCHARGE DISPLAY PANEL

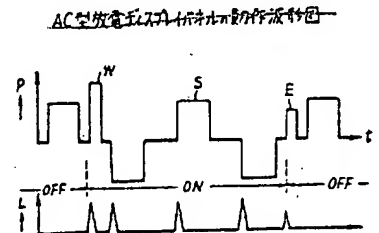


Fig. 6 HALFTONE DISPLAY TIME CHART

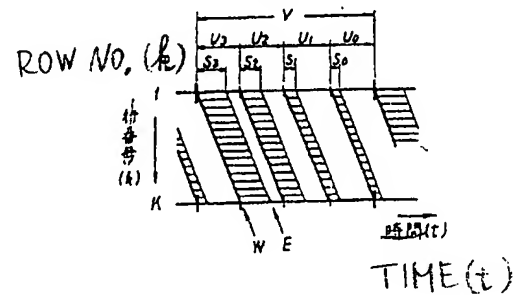




Fig. 4

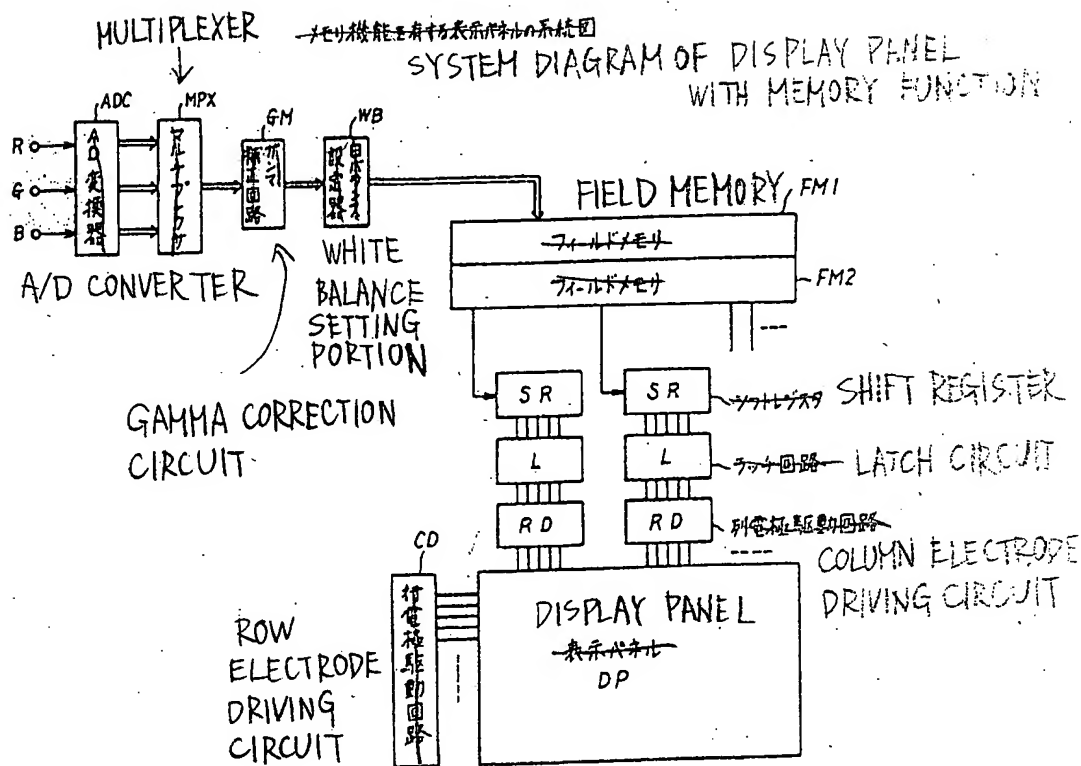


Fig. 7

EXAMPLE OF ARRANGEMENT OF 3-PRIMARY-COLOR CELLS

~~3原色セル配置の一例~~

G	R	G	R
B	G	B	G
G	R	G	R
B	G	B	G

(5)  
10